

CH5 – Mémoires, Bus et Entrées/Sorties

Dernière maj : lundi 2 avril 2007

I. MEMOIRES	1
A. DEFINITION.....	1
B. CARACTERISTIQUES ET CRITERES DE PERFORMANCE.....	1
C. HIERARCHIE DES MEMOIRE	2
II. TECHNOLOGIES DES MEMOIRES ELECTRONIQUES – MEMOIRE VIVE - RAM.....	3
A. MEMOIRE VIVE	4
B. TECHNOLOGIE SRAM, STATIC RAM	5
C. TECHNOLOGIE DRAM, DYNAMIC RAM	7
III. TECHNOLOGIES DES MEMOIRES ELECTRONIQUES – MEMOIRE MORTE - ROM.....	9
A. MEMOIRE MORTE	9
B. TECHNOLOGIES ROM	10
IV. LES BUS	10
A. GENERALITES	11
B. CARACTERISTIQUES ET CRITERES DE PERFORMANCE.....	11
C. HIERARCHISATION DES BUS	13
D. ARBITRAGE DES BUS.....	13
E. TECHNOLOGIES DE BUS	13
V. LES OPERATIONS D'ENTREES/SORTIES	15
A. LES CONTROLEURS D'E/S	15
B. LES PORTS DE COMMUNICATION, ADRESSAGE DES PERIPHERIQUE	16
C. MODE D'EXECUTION DES ENTREES/SORTIES.....	17
D. DMA, ACCES DIRECT A LA MEMOIRE.....	17
VI. LES CHIPSETS.....	17
A. NORTH BRIDGE & SOUTH BRIDGE	18

I. Mémoires

A. Définition

La **MEMOIRE** est un dispositif capable de **CONSERVER** et de **RESTITUER** des **DONNEES**.

B. Caractéristiques et critères de performance

Caractéristiques :

_VOLATILITE : représente le temps pendant lequel une mémoire est capable de conserver des données de manière fiable, sans alimentation électrique :

➔ **VOLATILE** : ne conserve pas les informations (mémoire centrale, par exemple)

➔ **PERSISTANTE** : conserve les informations (mémoires secondaires, par exemple)

_CAPACITE : quantité d'information que la mémoire peut stocker
Elle est exprimée généralement en octets (anglais : Bytes) ou multiples (Kilo, Méga, Giga, Téra, etc.)

_DEBIT (BANDE PASSANTE) : liée au bus, elle définit la quantité d'informations transférées par unité de temps

➔ Attention, le débit est souvent exprimé en bits par secondes (b/s, Mb/s, etc.)

_TEMPS D'ACCES : donne le temps nécessaire pour accéder à l'information ; ce temps dépend des technologies mises en œuvre : de quelques nanosecondes pour les technologies électroniques à quelques millisecondes (ou plus) pour les technologies magnétiques

_TYPES D'ACCES : définit la manière d'accéder à la mémoire, il dépend de la technologie utilisée

➔ Accès direct à un mot mémoire (mémoire centrale)

➔ Accès séquentiel à une donnée mémoire (bandes magnétiques)

_EMCOMBREMENT

_PRIX DE REVIENT

- On parle parfois de temps de latence : il s'agit du temps nécessaire pour qu'une opération mémoire se termine : si on a un temps de latence de 10ns (nanosecondes), sur un bus de données de 32 bits (largeur de bus), le débit résultant sera 1/10ns opérations de lecture par seconde, soit 100 M opération par seconde, et donc une bande passante de 3,2Gb/s, soit 400Mo/s
- La bande passante, pour une largeur de bus de 16 bits et une fréquence du bus de 800 MHz ➔ bande passante 1,6 Go/s

C. Hiérarchie des mémoire

La représentation hiérarchique des différentes technologies de mémoire permet de mettre en évidence les familles technologiques suivantes :

- Mémoires électroniques : faible capacité, temps d'accès très court, coût élevé
- Mémoire magnétiques, optiques ou électromagnétiques : grande capacité, temps d'accès long, coût relativement faible.

Ces deux familles technologiques de mémoires définissent 2 utilisations de la mémoire :

- La mémoire centrale, rattachée au microprocesseur, rapide mais volatile
- La mémoire secondaire, connectée à une unité d'échange, lente mais persistante (permanente).

_MEMOIRE CENTRALE = DIRECTEMENT UTILISEE par le **MICROPROCESSEUR, RAPIDE** mais **VOLATILE**

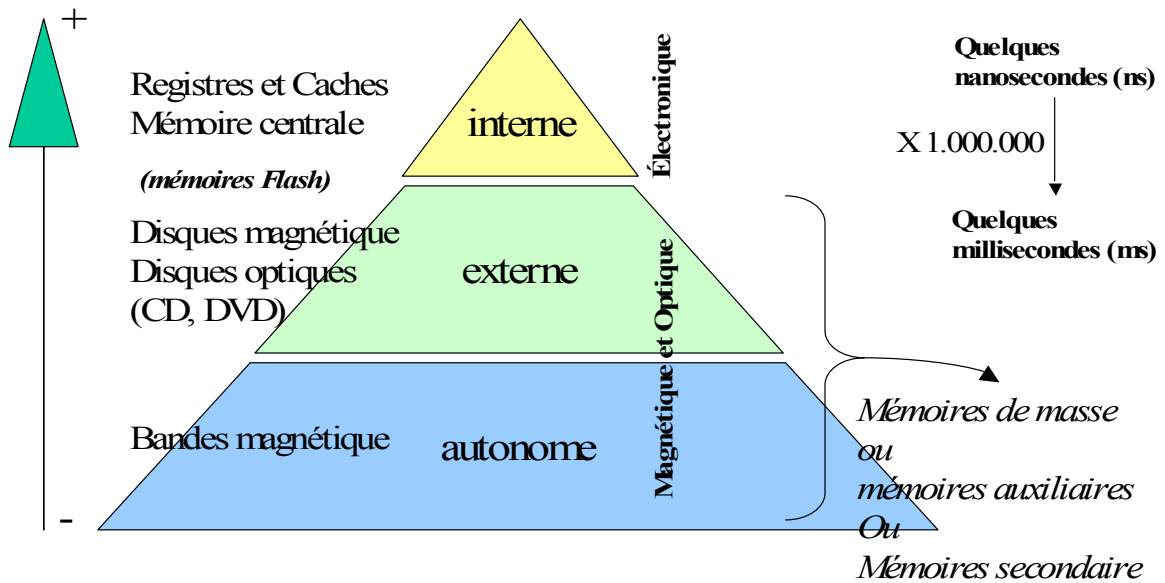
→ Mémoires électroniques

_MEMOIRE SECONDAIRE = utilisée comme SUPPORT DE PERSISTANCE des programmes et des données gérées par ces programmes.

→ Mémoires magnétiques, optiques

Prix/bit

Capacité FAIBLE mais **temps d'accès COURT**



Capacité IMPORTANTE mais **temps d'accès LONG**

Figure 1 : hiérarchie des mémoires

II. Technologies des mémoires électroniques – Mémoire VIVE - RAM

Les mémoire électronique sont déclinées en 2 types selon qu'elles sont réinscriptibles ou pas. On parle de mémoire vive, lorsque la mémoire est utilisée aussi bien en lecture qu'en écriture (elle est vivante), et de mémoire morte lorsque la mémoire n'est utilisable qu'en lecture.

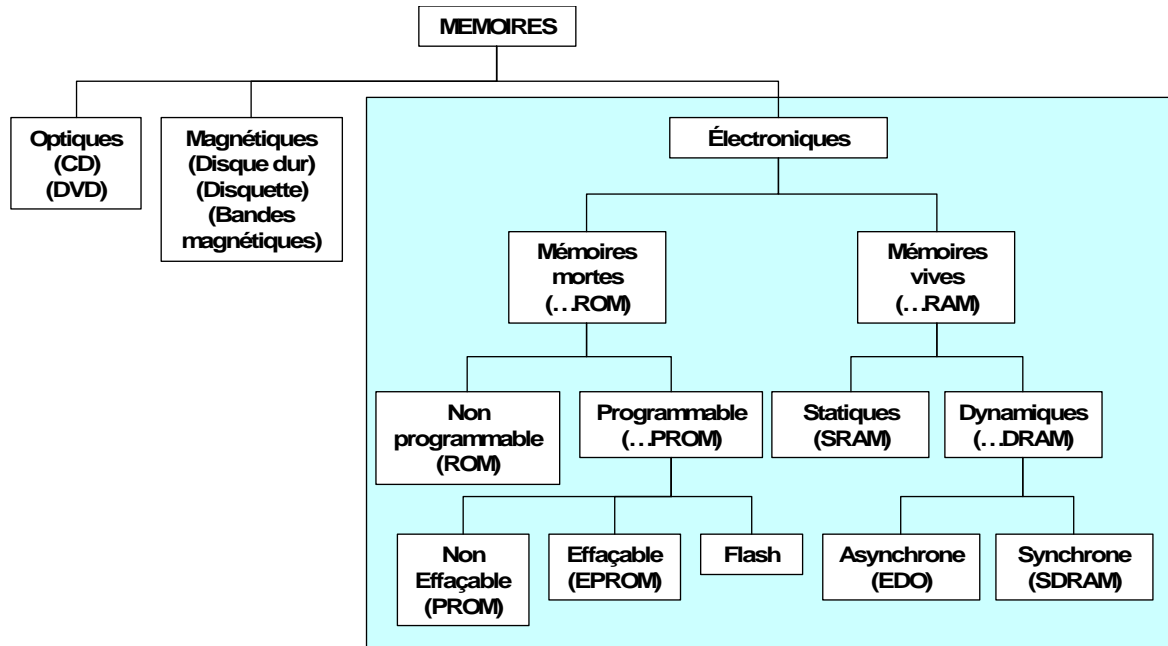


Figure 2 : classification des mémoires

A. Mémoire Vive

Les mémoires vives ou RAM (pour Random Access Memory = mémoire à accès aléatoire, ce qui signifie qu'on accède à n'importe quel mot mémoire directement), sont utilisées par le microprocesseur pour l'exécution des programmes (stockage temporaire des instructions et des données utilisées par les programmes). Elles peuvent être lues et écrites à volonté.

Caractéristiques essentielles :

- ▶ **ACCES TRES RAPIDE**
- ▶ **CAPACITE FAIBLE**
- ▶ **VOLATILE**

▶ **DEBIT ELEVE :**

Dépend de la **LARGEUR DU BUS** de données et de la **FREQUENCE DE FONCTIONNEMENT** (éventuellement du nombre de voies de sortie, les canaux)

▶ **CALCUL DU DEBIT :**

Par exemple pour :

_un bus de largeur 64 bits

_une fréquence de fonctionnement de 200MHz

_2 canaux

→ Débit = $64 * 2 * 200 * 10^6 = 25.600 \text{ Mb/S}$, soit 3,2Go/s

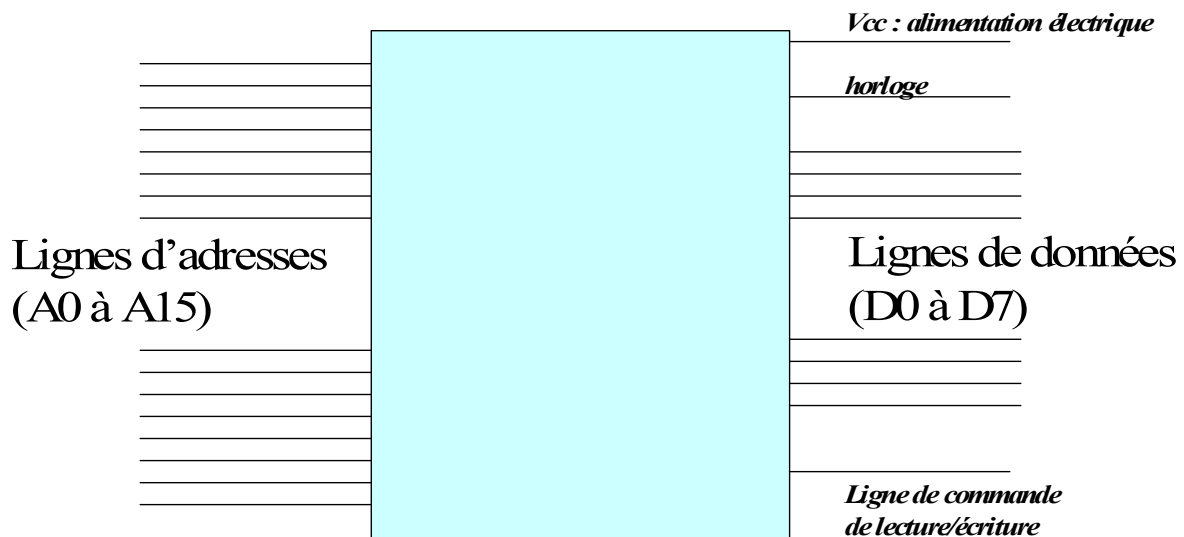


Figure 3 : lignes d'entrée/sortie mémoire, brochage

B. Technologie SRAM, Static RAM

La SRAM ne nécessite pas de rafraîchissement (lorsqu'une bascule de transistor a été effectuée pour indiquer l'état d'un bit, l'information reste accessible). Elle est donc très rapide (quelques ns de temps d'accès), mais d'un coût élevé (1 bit nécessite 6 transistors). Elle sera donc essentiellement dédiée aux mémoires caches (ou antémémoires).

- ▶ **SRAM = Static RAM**
- ➔ **MEMOIRES CACHES : L1, L2, L3**
- ▶ **MEMOIRE TRES RAPIDE**
- ➔ Actuellement environ 2 à 5 nanosecondes (1 nanoseconde = 10^{-9} secondes)
- ▶ **CAPACITE FAIBLE**
- ➔ Actuellement environ 256Ko – 2Mo

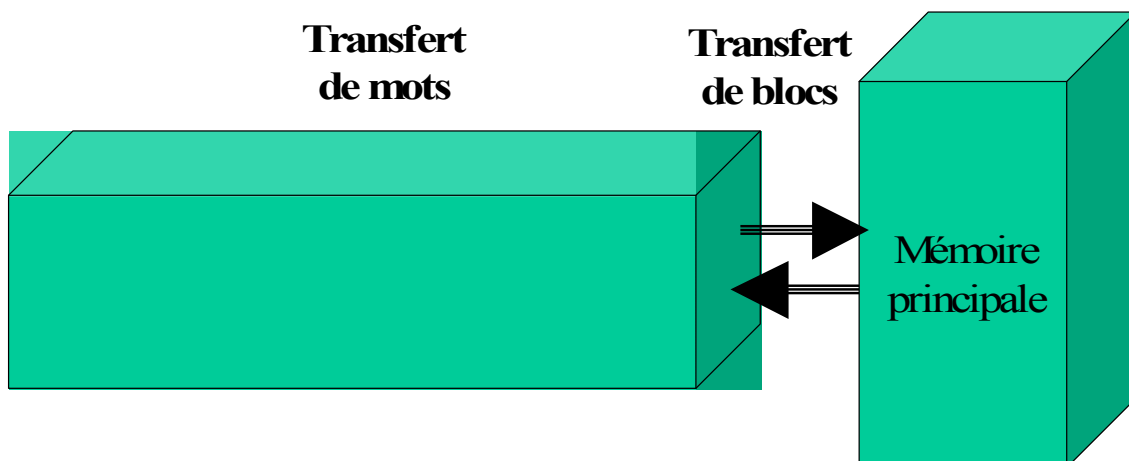


Figure 4 : principe des mémoires caches

- Une mémoire cache est une zone mémoire permettant de réduire le temps d'accès aux informations en mémorisant à côté du processeur une certaine quantité d'informations (lorsqu'on a besoin tous les jours de manger des fruits, on ramène en une seule fois une grande quantité pour y accéder plus rapidement chaque jour).
- On trouve 2 ou 3 niveaux de mémoires caches :
 - L1 : Cache de premier niveau, cache primaire (Level 1,) directement intégré à la puce du microprocesseur
 - Cache de second niveau, cache secondaire (Level 2), parfois intégré au microprocesseur
- L'utilisation du cache peut être résumé aux fonctions suivantes :
 - transfert de plusieurs mots de la mémoire vers le cache
 - recherche dans le cache (association adresse, valeur) avant la recherche en mémoire
 - écriture dans le cache puis report en mémoire
- Les mécanismes mis en œuvre :
 - Correspondance Directe : Numéro Etiquette correspond au bloc mémoire et l'indice de la ligne du cache correspond à l'indice de la ligne dans le bloc (emplacement fixe)
 - Correspondance associative : étiquette contient l'adresse du bloc
 - Correspondance associative par ensembles : chaque ligne du bloc est associé à un ensemble, l'étiquette pointant vers le bloc

Accès aux caches

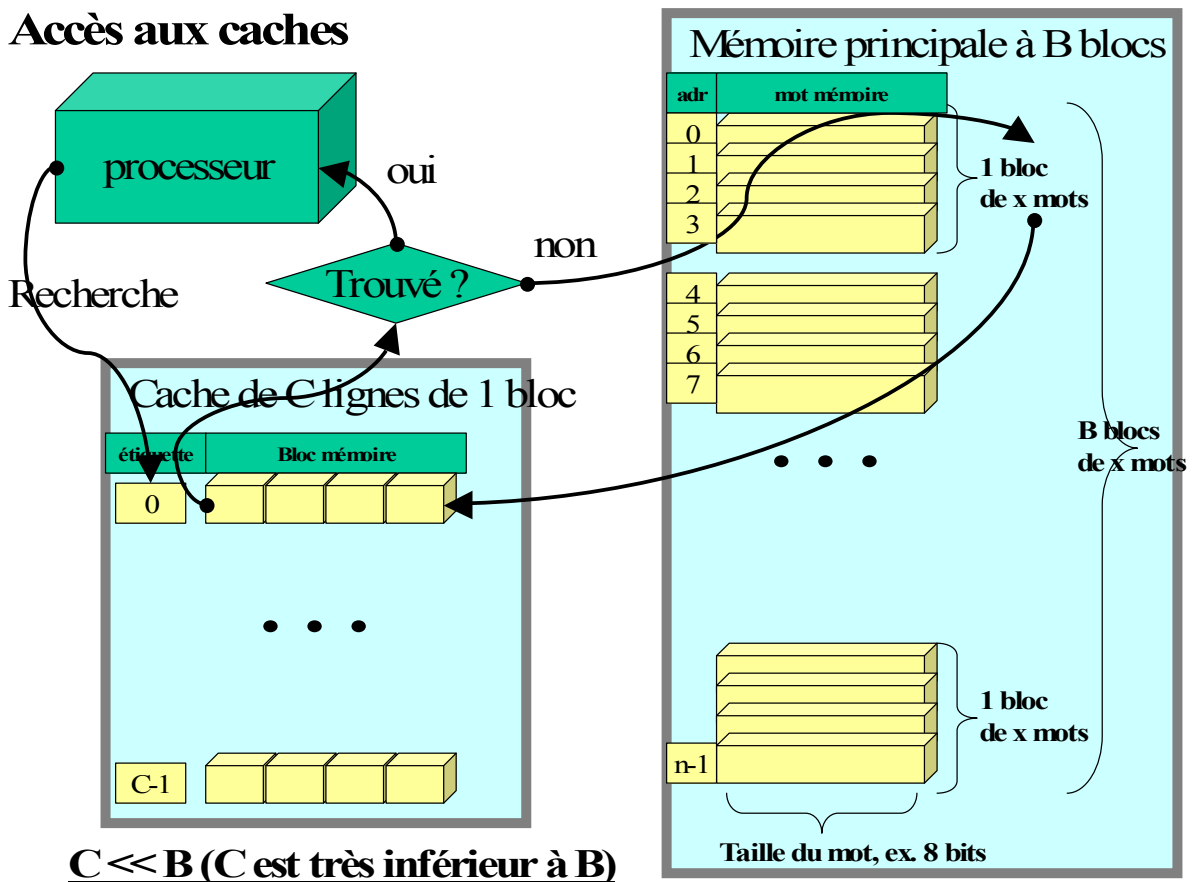


Figure 5 : principe de fonctionnement de la mémoire cache

C. Technologie DRAM, Dynamic RAM

La SRAM nécessite un rafraîchissement (basé sur un condensateur qui se décharge dans le temps).

Elle est donc moins rapide (pendant le temps de rafraîchissement, mémoire inaccessible), et a un coût moins élevé (1bit nécessite 1 transistor et 1 condensateur).

Elle sera donc essentiellement dédiée aux mémoires centrales ou autre mémoires associées à certains contrôleurs (cartes graphiques, par exemple).

- ▶ **DRAM = Dynamic RAM**
- ➔ **MEMOIRE CENTRALE**

- ▶ **MEMOIRE RAPIDE**
- ➔ Actuellement environ 10 à 50 nanosecondes (1 nanoseconde = 10^{-9} secondes)

- ▶ **CAPACITE MOYENNE**
- ➔ Actuellement environ 256Mo – 1Go

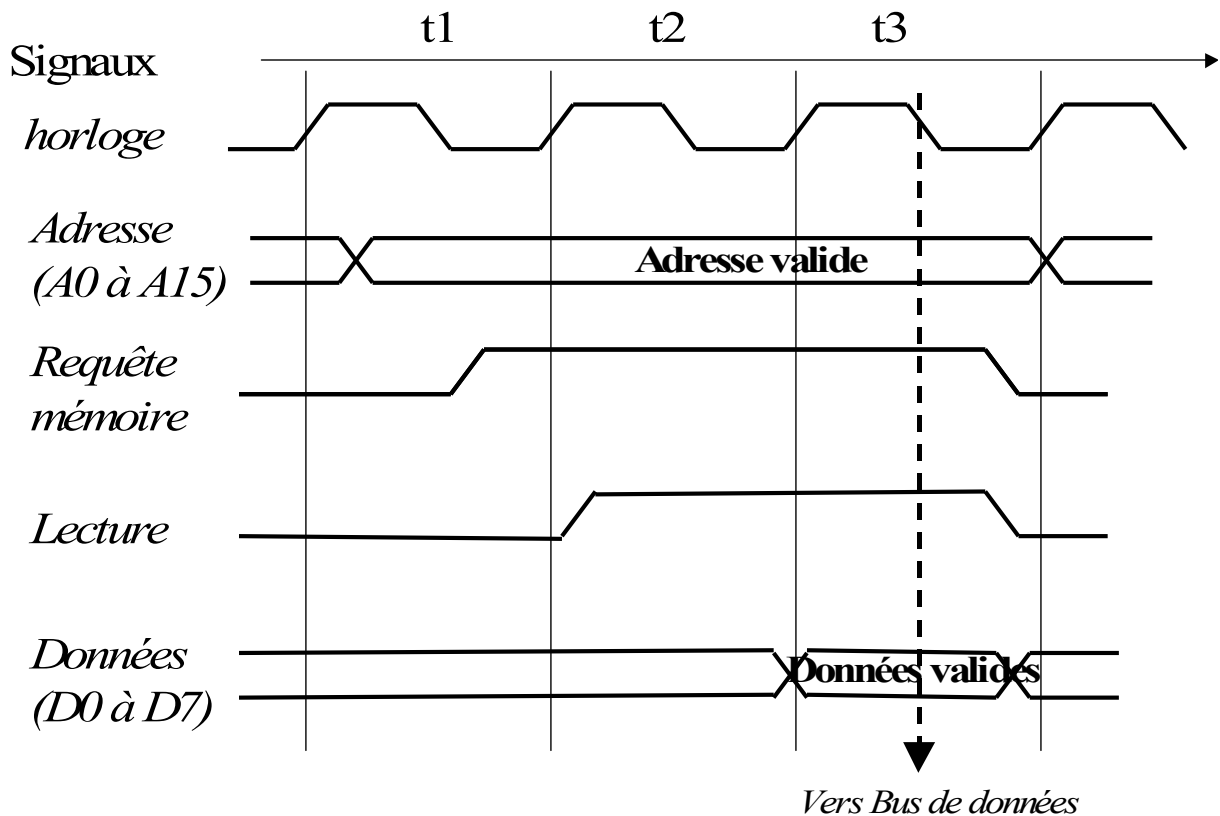


Figure 6 : déroulement de l'accès à la mémoire (chronogramme)

Différents modèles de DRAM ont vu le jour : chacun présente une évolution technologique par rapport à la précédente ou bien une utilisation spécifique.

	utilisation	Temps d'accès	Support	Débit
EDO (Extended Data Out)	Mémoire centrale possède un cycle de latence entre 2 accès mémoire	env.50ns		
DRAM (Dynamic RAM)	Mémoire centrale	env.50ns		
SDRAM (Synchronous DRAM)	Mémoire centrale, synchronisée avec le microprocesseur, elle permet d'éviter les temps d'attente de synchronisation ;	: env.10ns	DIMM (Dual In-line Memory Module)	800 Mo/s
DDR SDRAM (Double Data Rate SDRAM)	Mémoire centrale, double le taux de transfert par rapport à la technologie précédente grâce à la lecture de données aussi bien sur le front montant que descendant du signal d'horloge		DIMM (Dual In-line Memory Module)	
RDRAM (Rambus DRAM)	Mémoire centrale, nouvelle organisation des modules mémoires : chaînage en série, très rapide		RIMM (Rambus In-line Memory Module)	: 1600 Mo/s
DRDRAM (Direct RDRAM)	Mémoire centrale	env.5ns	RIMM (Rambus In-line Memory Module)	
VRAM (Vidéo Ram), WRAM, SGRAM	Mémoires Vidéos réservées aux circuits graphiques			600Mo/s

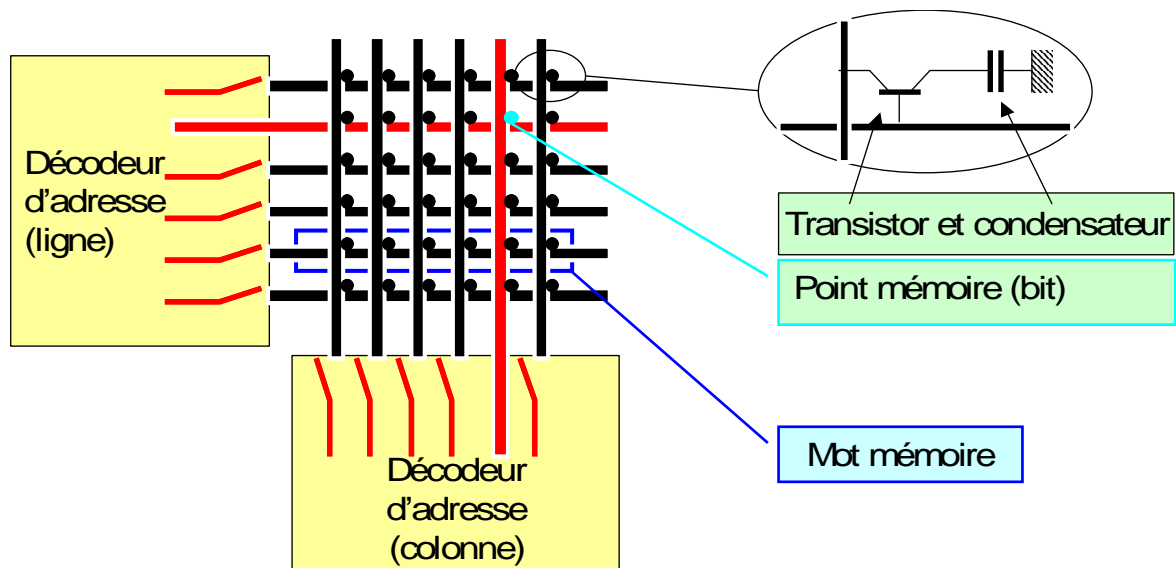


Figure 7 : mémoire DRAM

- Le rafraîchissement des DRAM : si une DRAM doit être rafraîchie toutes les 10ms (millisecondes, 10^{-3} secondes), chaque rangée doit être rafraîchie toutes les 10ms ; si la DRAM possède 512 rangées, 512 opérations de rafraîchissements doivent être réalisées toutes les 10ms, soit une moyenne d'un rafraîchissement de rangée toutes les $1,95 \cdot 10^{-5}$ s
- L'établissement des notions de performances devra tenir compte de l'existence d'une mémoire supplémentaire, la mémoire virtuelle supportée par les disques durs (c'est le système d'exploitation qui s'occupe de cette extension).
- Mémoires à technologie CMOS : consommation d'énergie faible, conserve les informations de configuration (grâce à une pile).

III. Technologies des mémoires électroniques – Mémoire MORTE - ROM

Utilisées pour stocker des programmes et données figées pour une configuration d'ordinateur; elles ne peuvent être (en général) que lues.

Les technologies évoluent sans cesse, et il existe aujourd'hui des mémoires électroniques à mi-chemin entre les deux : elles sont réinscriptibles.

A. Mémoire Morte

Les mémoires mortes ou ROM (pour Read Only Memory = mémoire à accès en lecture), sont utilisées pour stocker des programmes et données figés pour une configuration d'ordinateur; elles ne peuvent être (en général) que lues.

Les technologies évoluent sans cesse, et il existe aujourd'hui des mémoires électroniques à mi-chemin entre les deux : elles sont réinscriptibles.

Caractéristiques essentielles :

- ▶ **ACCES RAPIDE**
- ▶ **CAPACITE FAIBLE**
- ▶ **NON VOLATILE**

B. Technologies ROM

Différents modèles de ROM ont vu le jour : chacun présente une évolution technologique par rapport à la précédente ou bien une utilisation spécifique.

▶ **ROM (Read Only Memory) :**

Le schéma du circuit est implanté à la fabrication, la complexité est grande, et

▶ **PROM (Programmable ROM) :**

Le schéma du circuit est implanté après la fabrication par programmation

▶ **EPROM (Erasable DRAM) ou REEPROM (REprogrammable PROM)**

Le schéma du circuit est modifiable grâce à des programmeurs

▶ **EEPROM (Electrically Erasable DRAM)) Reprogrammable**

▶ **mémoires FLASH**

Avantage des mémoires RAM et EEPROM : rapide, non volatile et réinscriptibles

IV. Les BUS

Un BUS est un ensemble de fils chargés de relier les composants de l'ordinateur ; c'est un support de transmission partagé (un seul composant connecté au bus peut transmettre à un moment donné).

Les BUS assurent les communications :

- entre le microprocesseur et la mémoire (lire une instruction ou une données, écrire une données résultat,...)
- entre le microprocesseur et les unités d'échanges (appeler une fonction réalisée par un périphérique, recevoir un appel d'un périphérique,...)
- entre la mémoire et les unités d'échanges (lire ou écrire des données provenant d'un périphérique,...)

Les bus aboutissent parfois à des connecteurs qui vont permettre l'enfichage de cartes d'extension.

Un des bus, le bus système (anglais Front Side Bus), s'occupe des échanges rapides entre mémoire et microprocesseur.

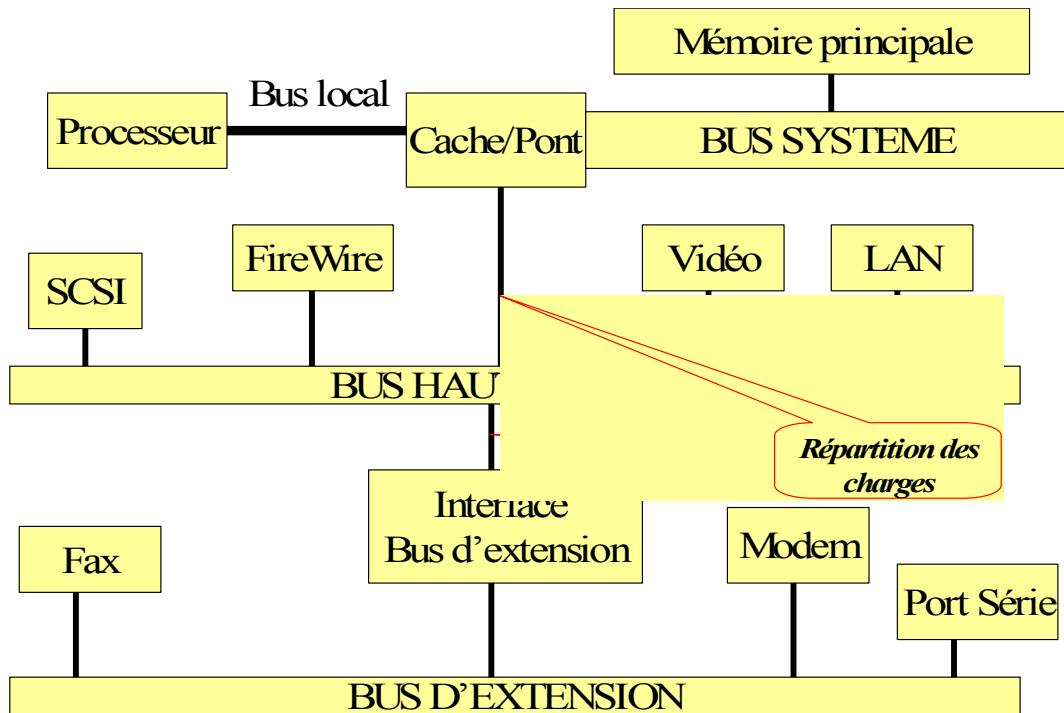


Figure 8 : systèmes de BUS

A. Généralités

- ▶ Un **BUS** est un **ENSEMBLE DE FILS** chargés de **RELIER** les **COMPOSANTS** d'un **ORDINATEUR** et **TRANSMETTRE** des **DONNEES**, des **ADRESSES**, des **COMMANDES**
- ▶ Le **BUS SYSTEME** (Front Side Bus, FSB) s'occupe des **ECHANGES RAPIDES** entre **MICROPROCESSEUR** et **MEMOIRE**.
- ▶ Des contrôleurs de bus vont organiser l'utilisation des BUS

B. Caractéristiques et critères de performance

- ▶ **FREQUENCE DU BUS** : détermine le nombre de fois que le bus pourra transmettre des informations par seconde,
→ La fréquence s'exprime en Hz (hertz)
- ▶ **TEMPS DE CYCLE** : temps nécessaire au bus pour accomplir un transfert
→ Par exemple un BUS à 40MHz définit un temps de cycle à 25ns :
($=1/(40 \times 10^6)$)
→ Pour réaliser une opération mémoire, plusieurs cycles seront peut être nécessaires (par exemple 3, soit $3 \times 25ns = 75ns$)

► **DEBIT (BANDE PASSANTE)** : détermine le volume de données pouvant être transmis par unité de temps (seconde en général)

→ Par exemple, une fréquence de 33 MHz, et une largeur de bus de 32 bits : la bande passante sera de : $33 \cdot 10^6 \cdot 32 / 8 = 132 \text{ Mo/s}$

► **MODE DE TRANSMISSION** :

→ **SYNCHRONE** : le cadencement déterminé par les signaux d'horloge communs

→ **ASYNCHRONE** : nécessite de mettre en œuvre une procédure de synchronisation (signaux spéciaux : demande de prise de ligne, accusés réception de « messages »,...), transmission à intervalles irréguliers

► **TRANSMISSION DES INFORMATIONS** :

→ **PARALLELE** : Mode consistant à utiliser autant de fils qu'il y a de bits à transmettre en même temps ; ce mode est utilisé entre l'unité centrale, la mémoire et les contrôleurs

→ **SERIE** : Les bits sont transmis les uns à la suite des autres

- Les transmissions des données en parallèle ne sont utilisables que sur de courtes distances et c'est le mode privilégié au sein de l'unité centrale entre le processeur, la mémoire, les contrôleurs.

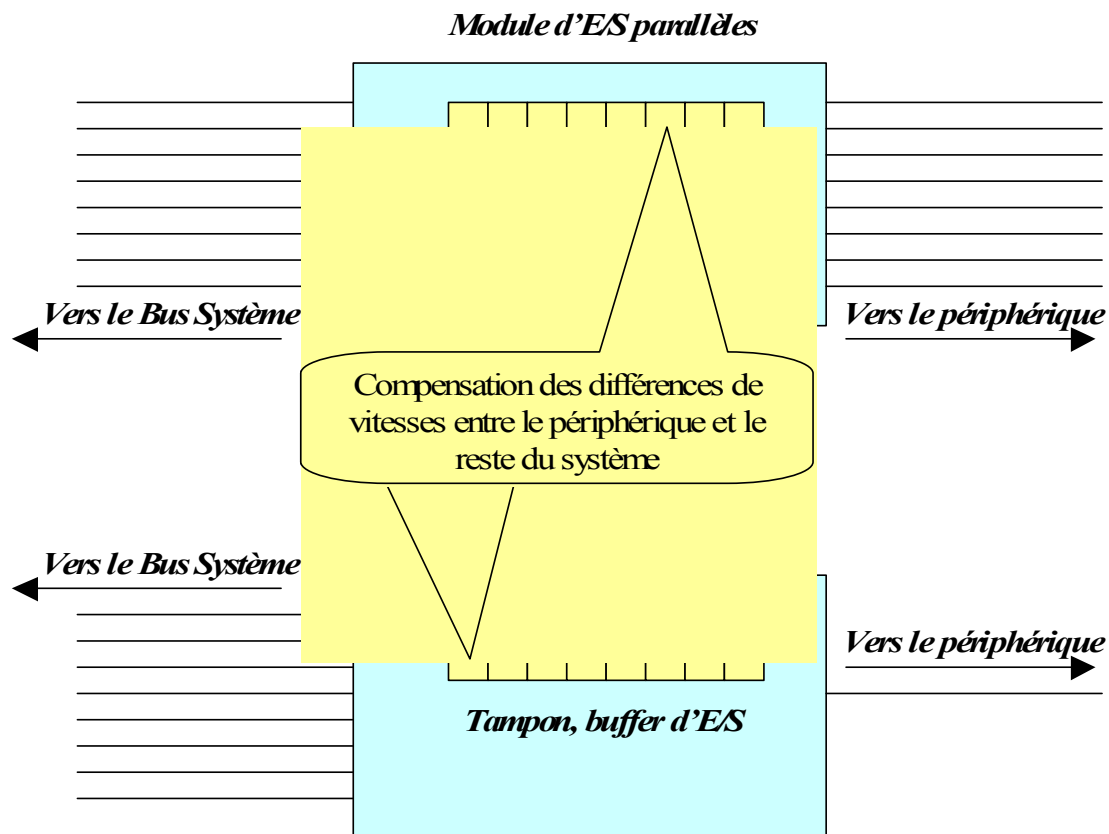


Figure 9 : communications parallèle et série

C. Hiérarchisation des BUS

Plus on connecte de périphériques, plus les performances se dégradent :

- La longueur du bus augmente (les temps de propagation des signaux augmentent)
- Goulot d'étranglement avec les volumes de données s'accroissant.

Hiérarchisation des bus en fonction des besoins en transmission de données, des ponts assurent l'indépendance des différentes branches

► La **HIERARCHISATION DES BUS** permet la **REDUCTION** des **GOULOTS** d'étranglement dans l'unité centrale.

D. Arbitrage des BUS

Chaque type de bus définit un protocole afin de décider de quelle manière les périphériques peuvent y accéder, quand les données peuvent être transmises.

Afin d'organiser l'utilisation des BUS, certains circuits électroniques sont chargés de gérer les bus et deviennent les arbitres de leur utilisation.

Un protocole d'arbitrage décide qui peut accéder au bus à un moment donné.

► **L'ARBITRAGE DES BUS** consiste à **DEFINIR QUELLE UNITE ACCEDÉ AU BUS** à un moment donné.

► Cet arbitrage est effectué par des circuits dit 'contrôleurs de bus'.

E. Technologies de BUS

L'évolution des technologies de bus (comme les autres) évoluent constamment. On peut remarquer une tendance vers une orientation des

CONTRÔLEURS DE BUS : partage des bus, et gestion d'entrées/sorties

► **ISA** (Industry Standard Architecture)

(aussi dénommé bus AT car apparu avec IBM PC-AT en 1984)

→ Fréquence env. 6 à 8 MHz

→ Largeur : 8 ou 16 bits

► **EISA** (Extended ISA) et **MCA** (Micro Channel Architecture)

Évolution de ISA

→ largeur : 32 bits

► **PCI** (Peripheral Component Interconnect) : **HAUTS DEBITS**

bus haut débit

→ **Plug & play** (ou **PnP**) , cartes PCI auto configurables (lien avec OS et mise à jour CMOS)

→ bande passante : (33MHz, 32 bits → 132Mo/s)

→ Evolution PCI EXPRESS : bande passante entre 312Mo/s et 10Go/s

► **AGP** (Accelerated Graphic Port) : **TRES HAUTS DEBITS**

→ Extension pour cartes graphiques

→ Bande passantes : 266Mo/s (X1) à 2Go/S (X8) (66MHz , 64 bits)

BUS ou PORTS ou INTERFACES D'ENTREES/SORTIES : échanges avec les périphériques

► **PORT SERIE**

→ Orienté clavier, souris, modem, etc.

► **PORT PARALLELE**

→ Surtout utilisé pour les imprimantes

► **PORT IDE** (Integrated Drive Electronics)

→ Surtout utilisé pour les disques durs, lecteurs de disquettes

→ Plusieurs générations : EIDE, Fast-IDE, ATA, UDMA, etc.)

→ Débit UDMA : UDMA33 = 33 Mo/s, UDMA66 = 66 Mo/s

→ Débit ATA100 = 100 Mo/s

→ **Interface PARALLELE**

► **SCSI** (Small Computer System Interface) : **DEBIT MOYEN**

→ Orienté : disque dur, cdrom, disquettes, scanners, etc.

→ Chaînage des périphériques en série : chacun des périphériques relié au bus est affecté d'un numéro de série

→ Bus incluant une « intelligence » qui permet la réalisation d'opérations complexes sans sollicitation d'autres circuits.

→ Evolution SCSI-1 2 et 3 : (20 à 160Mhz, 8 à 16 bits)

→ **Interface PARALLELE**

► **USB** (Universal Serial BUS) : **DEBIT FAIBLE**

→ Orienté périphérique lents : clavier, souris, imprimante, clef USB

→ Jusqu'à 127 périphériques en série (la limite = électricité fournie), Le débit est partagé entre l'ensemble des périphériques

→ **Plug & play** (ou **PnP**)

→ Mode lent (1.1) 0,2Mo/s ou rapide (1,5Mo/S)

→ USB 2 (3eme mode) : 60Mo/s

→ interface **SERIE**

▶ **Firewire** (ou IEEE 1394): **HAUTS DEBITS**

→ Orienté périphériques d'acquisition numérique (caméra vidéo,...)

→ **Plug & play** (ou **PnP**)

→ Bande passante : 50 à 100 MO/s

→ Interface **SERIE**

▶ **IRDA** (Infrared Data Association)

→ Connexion de périphériques avec une liaison infra-rouge.

→ Débit : 4Mb/s

V. Les opérations d'Entrées/Sorties

Une opération d'E/S (*anglais Input/Output, I/O*) implique d'échanger des informations entre les composants internes et les périphériques. Les unités d'échanges (ou contrôleurs) ont pour rôle de piloter les périphériques (au niveau logiciel, les pilotes de périphériques (drivers) permettront l'exécution de ces échanges).

A. Les contrôleurs d'E/S

Les unités d'échanges (contrôleurs d'E/S) (ensemble de petits processeurs spécialisés) comportent

- Des registres :
 - o des registres pour stocker les données transitant
 - o Un registre d'état pour indiquer l'état du périphérique (à qui souhaite y accéder)
- Un système de messages pour dialoguer avec les périphériques et le microprocesseur.

Ils se présentent généralement sous forme de cartes additionnelles que l'on enfiche sur des connecteurs pour les relier au bon système de bus (ISA, PCI, AGP, et bonne version du connecteur : dépend de la largeur de bus, et de la version du système de bus).

▶ Les **CONTRÔLEURS** ou **UNITES D'ECHANGE** sont des **CIRCUITS INTEGRES** spécialisés dans le **PILOTAGE** d'un type de **PERIPHERIQUE**.

▶ Les **PILOTES DE PERIPHERIQUES (DRIVERS)** sont des programmes qui permettent l'**ENVOI DE COMMANDE** du **Système d'Exploitation** vers le **PERIPHERIQUE**

B. Les ports de communication, adressage des périphérique

Un port de communication correspond à une adresse permettant d'identifier de manière unique un périphérique dans un ordinateur (adresse d'E/S de base : anglais I/O base).

Le concept d'**E/S mappées en mémoire** correspond à l'utilisation de la mémoire comme une boîte aux lettres associée à un périphérique.

Pour communiquer avec le contrôleur d'E/S, le processeur doit être capable de lui transmettre des données et de recevoir des données provenant des périphériques. Ces données correspondront pour le système d'E/S soit à des commandes et des paramètres de ces commandes, soit à des données.

Pour cela, des adresses mémoires sont affectées à chaque système d'E/S et lorsqu'un programme adresse un de ces emplacements mémoires, le système poursuit l'opération vers le périphérique concerné. Ces données envoyées au système d'E/S concerné correspondent à des valeurs requises pour réaliser les opérations d'E/S.

► Le principe des **E/S MAPPEES EN MEMOIRE ASSOCIE** une **PLAGE MEMOIRE** à un **PERIPHERIQUE** (= Plage d'E/S ou I/O Base) et permet ainsi l' **ADRESSAGE** des **PERIPHERIQUES**.

- Les E/S mappées en mémoire sont un moyen souple de faire évoluer les configurations matérielles
- Certains périphériques nécessitant une capacité mémoire importante (carte vidéo) utilise parfois la mémoire centrale comme extension. C'est pour cela qu'on trouve des plages d'E/S associées à ces périphériques.

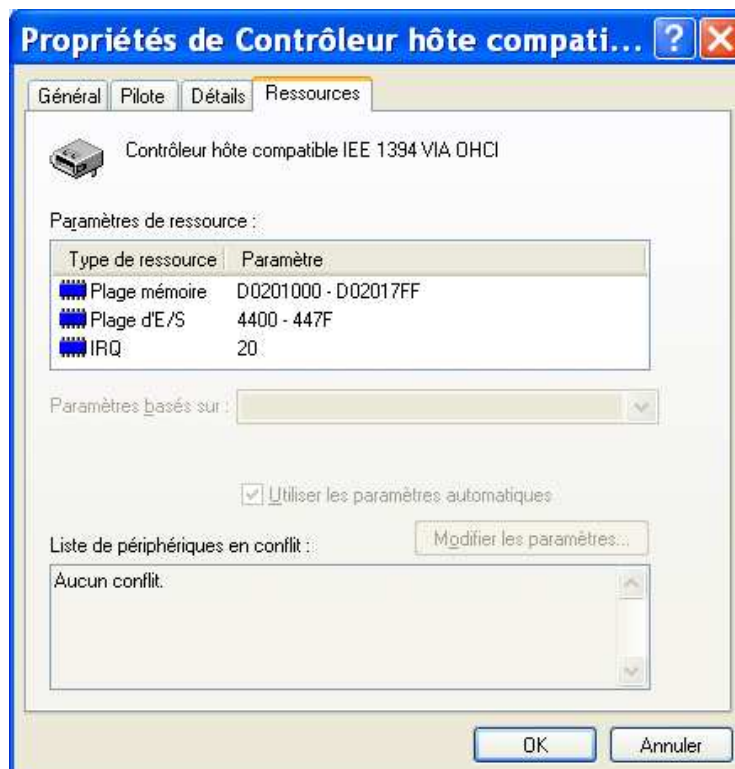


Figure 10 : paramètres associés à l'adressage d'un périphériques

C. Mode d'exécution des Entrées/Sorties

Il existe deux modes d'exécution des Entrées/Sorties :

- E/S programmées → le processeur est dédié au transfert, il s'occupe entièrement du transfert avec le module d'E/S (lorsque le processeur envoie une commande au périphérique, il doit attendre la réponse, ou la fin de l'opération)
- E/S gérées par les interruptions → demande d'une intervention au microprocesseur pour transfert de données entre le module d'E/S et la mémoire (débit réduit), le processeur émet une commande d'E/S puis continue à exécuter d'autres instructions

► L'exécution des E/S :

→ E/S **PROGRAMMEES** : réalisées par le processeur central

→ E/S **PAR INTERRUPTIONS** : déléguées par le processeur central au processeur l'E/S, suite à une demande d'interruption

D. DMA, accès direct à la mémoire

Les échanges de données avec la mémoire étant très volumineux et gourmandes en ressources processeur, un mode de communication direct avec la mémoire a été mis en place .

Il s'agit du **module DMA** : (Direct Memory Access) sur le bus Système (le module se sert du bus système quand le processeur ne s'en sert pas ou contraint le processeur à ne pas utiliser le bus système (=vol de cycle = vol d'un cycle du bus).

Lors d'une opération DMA : le processeur délègue au module DMA le transfert d'un bloc de données en fournissant : le type de demande (ligne de contrôle : lecture ou écriture), 'adresse du périphérique impliqué, l'emplacement de départ en mémoire et le nombre d'octets à transférer. Lorsque le transfert DMA est terminé le module DMA envoie une interruption pour le signaler au processeur.

Le processeur n'est impliqué qu'au début et à la fin du transfert, et lors de l'utilisation du bus par le module DMA, il n'est interrompu que le temps d'un cycle du bus.

► **DMA** (Direct Memory Access)

→ Permet des **ECHANGES DIRECTS** entre la **MEMOIRE** et les **PERIPHERIQUES**

VI. Les CHIPSETS

Le chipset est un composant important des cartes mères de nouvelles générations. Il est chargé de gérer la coopération, réaliser un pont, entre processeur, la mémoire centrale et les systèmes de bus.

► **CHIPSET : JEU DE COMPOSANTS QUI DEFINIT L'ARCHITECTURE GENERALE DE LA CARTE MERE**, essentiellement la FREQUENCE D'HORLOGE et la LARGEUR DES BUS ,

► **IL DETERMINE LES FAMILLES DE COMPOSANTS QUI POURRONT Y ETRE INSTALLEES.**

A. NORTH BRIDGE & SOUTH BRIDGE

Ces 2 parties d'un chipset se partagent le travail de gestion de la circulation des données sur la carte mère.

Le NORTH BRIDGE (pont nord) s'occupe de la communication entre le microprocesseur, la mémoire centrale et le bus AGP et réalise une liaison avec le bus PCI

Le SOUTH BRIDGE (pont sud) s'occupe des communications entre le bus PCI et les autres systèmes de bus.

► **NORTH BRIDGE (pont nord)**

→ **ECHANGES RAPIDES** entre **MICROPROCESSEUR, MEMOIRE** et **BUS AGP**

► **SOUTH BRIDGE (pont sud)**

→ **ECHANGES PLUS LENTS** entre **BUS PCI** et **AUTRES SYSTEMES DE BUS**

- A l'heure actuelle ces chipsets permettent de piloter des bus système (reliant processeur et mémoire) à des fréquences atteignant 133 Mhz.
- Exemple chipset i82-820 contrôleur de mémoire, chipset i82-801 contrôleur d'E/S.

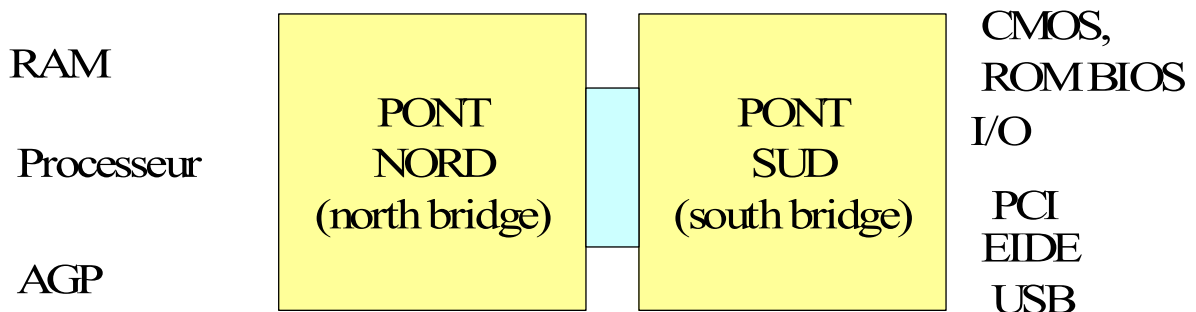


Figure 11 : pont nord et pont sud

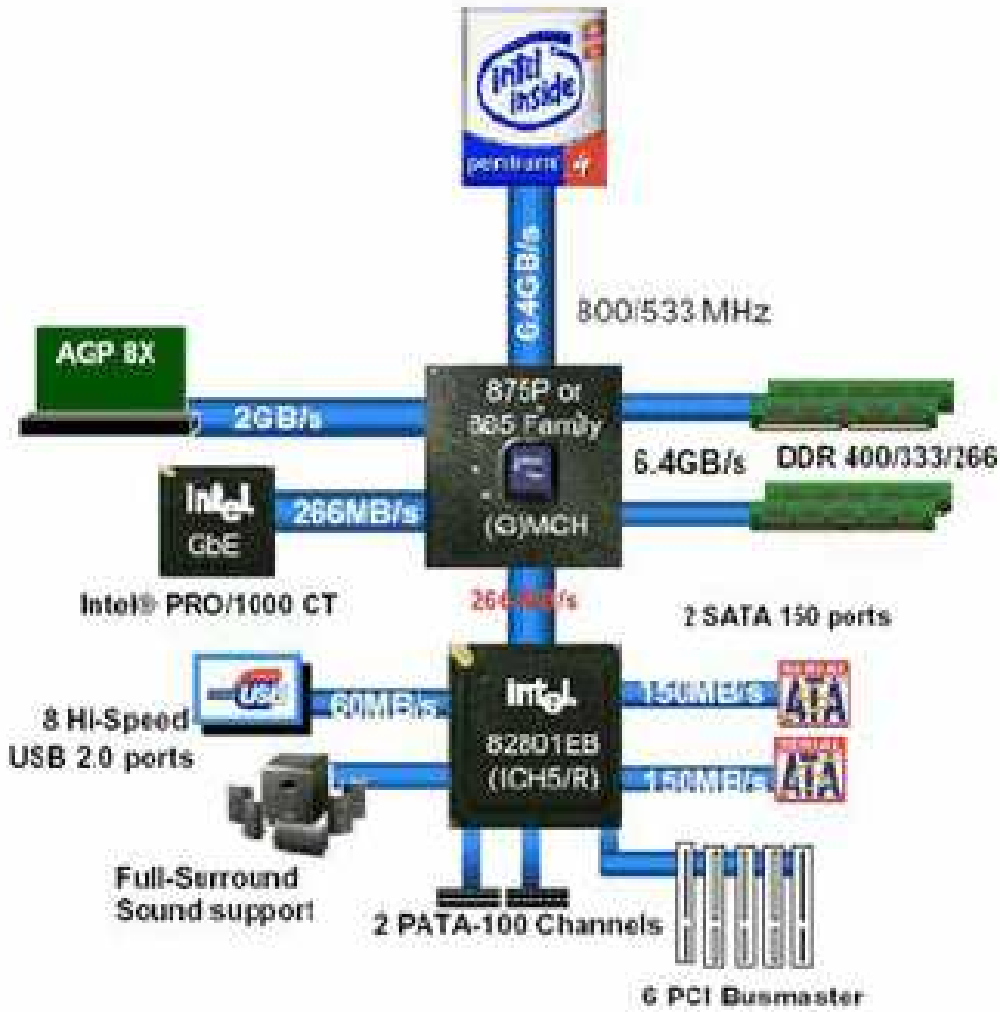


Figure 12 : exemple de configuration de carte mère